

2. ☐ 1/19/2

004548178

WPI Acc No: 1986-051522/198608

Radiation-proof semiconductor package - has copper-tungsten alloy bonded above and beneath ceramic package, providing good seal

NoAbstract Dwg 1,2/2

Patent Assignee: SUMITOMO ELECTRIC IND CO (SUME )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 61004249	A	19860110	JP 84126063	A	19840619	198608 B

Priority Applications (No Type Date): JP 84126063 A 19840619

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 61004249	A		7		

Title Terms: RADIATE; PROOF; SEMICONDUCTOR; PACKAGE; COPPER; TUNGSTEN; ALLOY; BOND; ABOVE; BENEATH; CERAMIC; PACKAGE; SEAL; NOABSTRACT

Derwent Class: L03; M26; U11

International Patent Class (Additional): H01L-023/02

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-C21; M26-B03; M26-B03T

Manual Codes (EPI/S-X): U11-D01

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-4249

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)1月10日

H 01 L 23/02  
23/12

A-7738-5F  
7357-5F

審査請求 未請求 発明の数 1 (全 3頁)

⑭ 発明の名称 半導体装置用パッケージ

⑮ 特 願 昭59-126063

⑯ 出 願 昭59(1984)6月19日

⑰ 発 明 者 小 笠 伸 夫 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内  
⑰ 発 明 者 村 上 一 仁 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内  
⑰ 発 明 者 大 塚 昭 伊丹市昆陽北1丁目1番1号 住友電気工業株式会社伊丹製作所内  
⑱ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地  
⑲ 代 理 人 弁理士 和 田 昭

## 明 細 書

### 1. 発明の名称

半導体装置用パッケージ

### 2. 特許請求の範囲

(1) 半導体素子を搭載したセラミックパッケージにおいて、該セラミックパッケージの下面と搭載半導体素子の上面にWを80～95重量%含有するCu-W合金材料を接合したことを特徴とする耐放射線性にすぐれた半導体装置用パッケージ。

(2) Wを80～95重量%含有するCu-W合金材料による搭載半導体素子上面への接合は、これを密閉封止材料としてのセラミック材料を介して行なうことを特徴とする特許請求の範囲第1項記載の耐放射線性にすぐれた半導体装置用パッケージ。

### 3. 発明の詳細な説明

#### (1) 産業上の利用分野

この発明は半導体装置内に搭載した半導体素子が放射線の照射、貫通によって異常動作(誤動作)

することを防止した耐放射線性にすぐれた構造の半導体装置用パッケージに関するものである。

#### (2) 従来の技術

周知のように、マイクロコンピュータやメモリ等の半導体回路素子はPNPやNPN回路が複雑に配置されており、結果的にPNPN接合サイリスタ回路が構成されることがある。

この種の回路は中間のNP接合のN側に正電位、P側に負電位が印加されてキャリア空乏層が形成され、電気的に非導通状態となっているため、通常動作中は問題とならない設計となっている。

ところで、上記サイリスタ回路部分に宇宙線等の放射線が貫通し、空乏層に電子、正孔対が多数生成されると、これらのキャリアによりPNPN接合部がサイリスタ回路として導通状態となり、回路がショートしてしまうことがある。

またγ線やX線のような電離性放射線が入射すると、光電効果やコンプトン効果などにより、Siや絶縁膜中に正孔と電子の正負荷電荷を発生させるほか、SiとSiO<sub>2</sub>膜の界面に放射線照射による界

面単位が発生するなど半導体素子の誤動作要因となるのである。

さらにSiデバイスへ局所的に $\alpha$ 粒子やプロトンなどが入射すると、その入射部に沿って電子-正孔対が生成され、一過性の誤動作が生じる。

### (3) 発明が解決しようとする問題点

上記のように半導体素子によって放射線による損傷は大きな問題で、今後ますます需要が増大するものと予想される宇宙空間、原子炉周辺で使用される半導体デバイスにとって、耐放射線の向上は、重要な技術課題といえる。

このための方策として、これまでも半導体回路素子に対策を加える方法や、デバイス全体をPbやWなどの高比重材で被覆してしまうなどの検討が行われてきた。

しかしながら、前者の方法は当然のことながら半導体回路そのものの設計、製造を複雑にし、特に高密度、高速素子ではそれによる制約が大きい。

一方後者の方法は、半導体デバイス全体が大型化し、重量も大きくなるなどの問題点を有してい

る。

また、パッケージにPbやWの如き材料を接合することは、セラミックパッケージの主体部を構成する $Al_2O_3$ との熱膨張係数の不整合が大きいため困難である。

### (4) 問題点を解決するための手段

この発明は上記の点に鑑みてなされたものでその目的とするところは、放射線の照射さらには真価による半導体素子の誤動作を防止すべく該半導体素子を搭載したパッケージの改良をはかったものである。

即ち、この発明は半導体素子を搭載したセラミックパッケージの下面と搭載半導体素子の上面にWを80~95重量%含有する $Os-W$ 合金材料を接合したことを特徴とするものである。

そして、これによって耐放射線性を著しく改善することが可能となったのである。

即ち、この発明を図面について説明すると、第1図において、1は半導体素子、2は積層セラミック材料よりなるパッケージ、4はボンディング

ワイヤー、5はリード線である。

そしてこの発明はセラミックパッケージ2の上下両面にWを80~95重量%含有する $Os-W$ 合金材料3,3を接合させたことが特徴であり、この合金材料層によって外界から半導体素子にまで至る放射線を遮蔽することができるのである。

### (5) 作用

ここで $Os-W$ 合金材料におけるWの量を80~95重量%と限定したのは、放射線遮蔽効果の面から比重を15.8g/cm<sup>3</sup>以上と大きくし、かつパッケージの主体をなすセラミック（一般には $Al_2O_3$ が多く用いられる）との熱膨張係数を近似させることにより、大型の遮蔽板のパッケージ主体への取付けを可能にするとともに、半導体素子の搭載部立板の熱サイクルによる信頼性低下をも防止するためである。

ここで $Os-W$ 合金材料を第1図のようにパッケージの上面および下面にのみ用いたのは、半導体素子部セラミックパッケージの設計上、傾め方向からくる放射線については、パッケージの主体

をなすセラミック中での透過距離が大きくなるため、比重の小さいセラミック材料でも十分に放射線遮蔽効果が期待できるためである。なお、ここで用いる $Os-W$ 合金材料は、その効果よりWと $Os$ が夫々均一に分布していることが必要である。このためには粉末冶金法によるのが最も好ましい。

なお、この発明で放射線の遮蔽を目的として用いるWを80~95重量%含有する $Os-W$ 合金材料の形状については、半導体パッケージの全体設計に関連して、必ずしも平板状のものを用いる必要はなく、各種の異形状のものを用いても差支えない。

さらに、この発明のパッケージはシングルチップ型の積層セラミックパッケージ、ガラス-セラミック封止型パッケージ(CerDip)に適用できることは勿論であるが、マルチチップ型のセラミックパッケージへの適用も可能である。

また、この発明において、第1図は $Os-W$ 合金材料を半導体パッケージにおける上面の密閉封止用蓋材として使用した例を示したが、上面での $Os-W$ 合金材料の使用は、これに限定されるもので

なお表中○が合格、×が不合格である。

第 1 表

No.	閉 封 止 材 種類 厚み (mm)	Co <sup>60</sup> γ線全線量 (R)					セラミックパッケ ージとの接合性
		10 <sup>4</sup>	1.5×10 <sup>5</sup>	10 <sup>6</sup>	10 <sup>7</sup>	10 <sup>8</sup>	
本 発 明	1 85%W-Cu 0.5	○	○	×	×	×	○
	2 " 1.0	○	○	○	×	×	○
	3 " 1.5	○	○	○	○	○	○
	4 90%W-Cu 1.0	○	○	○	○	×	○
比 較 例	5 Al <sub>2</sub> O <sub>3</sub> 0.5	○	×	×	×	×	○
	6 コバルト 0.5	○	×	×	×	×	○
	7 96%W-Cu 1.0	○	○	○	○	○	×
	8 78%W-Cu 1.0	○	○	×	×	×	×

はなく、第2図のように通常のセラミック材料2'でパッケージしたのち、その上にCu-W合金材料3を接合する形態をとっても差支えない。

#### (6) 実施例

以下この発明を実施例にて説明する。

第1図に示した積層セラミック型パッケージに半導体系子としてSiのCMOS、LSIチップをパッケージングし、Cu<sup>60</sup>、1.25 Mradのγ線を半導体装置の垂直上面方向より照射したのち、LSIテスターにて供試材の測定を行なった。

その結果は第1表に示した。

なお、第1表においては供試材(密閉封止材)として、この発明の範囲内のCu-W合金材料でWの量および厚みを変えたもの、比較としてはこの発明の範囲外のCu-W合金材料および他の材質のものをを用いた。

そしてそれぞれのγ線照射試験結果と、パッケージとして-65〜+150℃のヒートサイクルを200回経た後の気密封止性の劣化をHeリークディテクターで評価した結果をあわせて示した。

また、この発明のパッケージに収納される半導体チップとして、特に消費電力2Wと発熱量が大きい、高速動作素子を用いたところ、この発明のパッケージではCu-W合金を通じて直接パッケージ外へ放熱できることから素子の温度上昇を100℃以下とすることが可能で、安定した動作をすることを確認した。

#### (7) 効 果

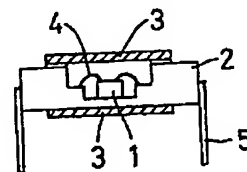
以上の結果からWを80〜95%含有するCu-W合金をセラミックパッケージの密閉封止材として用いることにより耐放射線性が良好で、且つパッケージそのものの封止信頼性も良好な半導体装置が得られることが認められた。

#### 4. 図面の簡単な説明

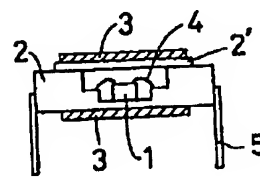
第1図および第2図は80〜95%のWを含有するCu-W合金材料を上、下面に接合したこの発明の実施例を示す半導体パッケージの構造を示す断面図である。

- 1…半導体系子      2, 2'…セラミック材料  
3…Cu-W合金材料  
4…ボンディングワイヤ      5…リード線

第 1 図



第 2 図



特許出願人 住友電気工業株式会社

代理人 井理士 和田 昭